

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-094023

(43)Date of publication of application : 30.04.1987

(51)Int.Cl.

H03M 1/02

(21)Application number : 60-233225

(71)Applicant : HITACHI LTD

(22)Date of filing : 21.10.1985

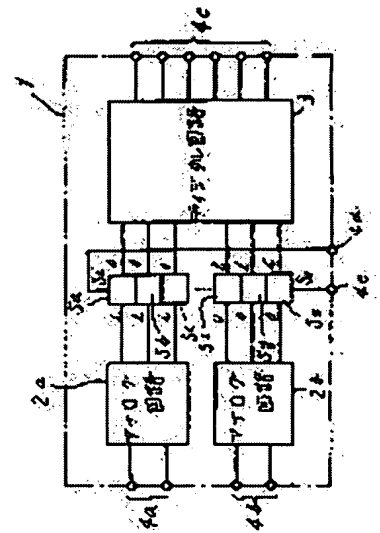
(72)Inventor : ITO TSUNEO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

PURPOSE: To test both circuit sections separately by sending a signal between an analog circuit section and a digital circuit section through a latch circuit inserted between both the circuit sections, and acting the latch circuit as a shift register at the test.

CONSTITUTION: Latch circuits 5a~5z constituting a shift register are inserted between the analog circuit sections 2a, 2b and the digital circuit section 3, a signal between both the circuit sections is sent through the latch circuits 5a~5z normally, and the latch circuits 5a~5z are connected in cascade at the test and they are acted like the shift register. As a result, a test pattern is inputted directly to the digital circuit section externally and the signal fed to the analog circuit section is extracted directly externally from the digital circuit section.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-94023

⑤ Int.Cl.<sup>4</sup>  
H 03 M 1/02

識別記号

庁内整理番号  
6832-5J

⑬ 公開 昭和62年(1987)4月30日

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 半導体集積回路

⑯ 特 願 昭60-233225

⑰ 出 願 昭60(1985)10月21日

⑱ 発 明 者 伊 藤 恒 夫 青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑳ 代 理 人 弁理士 小川 勝男 外1名

#### 明 細 書

発明の名称

半導体集積回路

特許請求の範囲

1. アナログ回路とディジタル回路とが同一半導体チップ上に形成されてなる半導体集積回路であって、上記アナログ回路とディジタル回路との間にはシフトレジスタを構成可能な複数個のゲート手段が設けられ、これらのゲート手段を介してアナログ回路とディジタル回路との間の信号の伝達が行われるとともに、上記ゲート手段のうち最初と最後のものは外部端子に接続され、上記ゲート手段がシフトレジスタとして動作されたとき上記外部端子よりシリアルなデータの入出力が可能にされてなることを特徴とする半導体集積回路。

2. 上記ディジタル回路は複数の回路ブロックに分割され、それらの各回路ブロック間に、シフトレジスタを構成可能なゲート手段が設けられていることを特徴とする特許請求の範囲第1項記載の半導体集積回路。

3. 上記ゲート手段は、シフトレジスタとして動作されるとき、シフトされるべき元のデータをラッチしてそれを上記ディジタル回路またはアナログ回路に供給した状態のまま、そのデータを後段のゲート手段にシフト可能にされてなることを特徴とする特許請求の範囲第1項もしくは第2項記載の半導体集積回路。

4. 上記ゲート手段をシフトレジスタとして動作させるための信号を形成する信号形成回路が同一半導体基板上に形成されてなることを特徴とする特許請求の範囲第1項記載、第2項もしくは第3項記載の半導体集積回路。

発明の詳細な説明

〔技術分野〕

この発明は、半導体集積回路技術さらにはアナログ回路とディジタル回路の混在した半導体集積回路の構成に適用して特に有効な技術に関し、例えばディジタル処理方式のCODEC(符号器復号器)やMODEM(変復調回路)のような通信用LSIに利用して有効な技術に関する。

## 特開昭62-94023(2)

## 【背景技術】

例えばMODEMのようなディジタル処理方式の通信用LSIは、A/D変換回路やD/A変換回路のようなアナログ回路部と、汎用プロセッサ形態のディジタル信号処理部とから構成されている。このように同一チップ上にアナログ回路とディジタル回路とが混在するLSIが今後ますます多くなると予想される。

しかしながら、従来アナログ回路(LSI)の試験には、LSIにアナログ信号を印加するアナログ用テストを、またディジタル回路(LSI)の試験にはディジタル用テストを使用して、それぞれ試験を行っている。

そのため、アナログ回路とディジタル回路が混在したLSIが開発された場合、既存のテストを使ってLSIのテストを行うには、ディジタル用テストとアナログ用テストの両方にLSIを通してディジタル回路部とアナログ回路部とを切り離して別々にテストしなければならない。その結果、テスト信号入出力用の専用ピンが多数必要になる

路を介在させ、通常はこのラッチ回路を通してアナログ回路部とディジタル回路部との間の信号の伝達を行い、テスト時には上記ラッチ回路を縦横接続させてシフトレジスタとして動作させるようにして、外部から直接ディジタル回路部へテストパターンを入力したり、ディジタル回路部からアナログ回路部へ供給される信号を直接外部へ取り出せるようにして、わずかなテスト専用ピンのみでアナログ回路部とディジタル回路部とを別々に試験して、ディジタル回路部の欠陥の検出率を向上させるという上記目的を達成させるものである。

## 【実施例】

第1図には、本発明の第1の実施例が示されている。

同図において、1はアナログ回路2a、2bとディジタル回路3とが単結晶シリコン基板のような一つの半導体チップ上に形成されてなるLSI(大規模集積回路)である。また、4a、4bはLSI(半導体チップ)1に設けられたアナログ信号の入出力端子、4cはディジタル回路3に

とともに、テストピンの数の制約からディジタル回路部の欠陥の検出率が低下してしまうという問題点があった。

なお、アナログ回路とディジタル回路が混在したLSIのテスト方式に関する発明としては、特願昭60-9011号がある。

## 【発明の目的】

この発明の目的は、アナログ回路とディジタル回路とが混在するLSIにおいて、テスト用の専用ピンを多数設けることなく、ディジタル回路部の欠陥の検出率を向上させることができるような半導体集積回路技術を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

## 【発明の概要】

本願において開示される発明のうち代表的なもの概要を説明すれば、下記のとおりである。

すなわち、アナログ回路部とディジタル回路部との間に、シフトレジスタを構成可能なラッチ回

路を介在させ、通常はこのラッチ回路を通してアナログ回路部とディジタル回路部との間の信号の伝達を行い、テスト時には上記ラッチ回路を縦横接続させてシフトレジスタとして動作させるようにして、外部から直接ディジタル回路部へテストパターンを入力したり、ディジタル回路部からアナログ回路部へ供給される信号を直接外部へ取り出せるようにして、わずかなテスト専用ピンのみでアナログ回路部とディジタル回路部とを別々に試験して、ディジタル回路部の欠陥の検出率を向上させるという上記目的を達成させるものである。

この実施例では、アナログ回路2aは例えばA/D変換回路からなり、アナログ入力端子4aに入力されたアナログ信号をA/D変換してディジタル回路3に供給する。ディジタル回路3はアナログ回路2aより供給された信号やディジタル入力端子4bより入力された信号に対して、適当なディジタル信号処理を行ってその結果(ディジタル出力信号)をディジタル入出力端子4cより外部へ出力したり、アナログ回路2bへ供給したりする。

アナログ回路2bは例えばD/A変換回路からなり、ディジタル回路3より供給された信号はここでD/A変換されて、アナログ出力端子4bより外部へ出力される。

ここまでの構成は、従来のアナログ・ディジタル混在のLSIの一般的な構成と同じである。しかし、この実施例では、上記アナログ回路2a、2bとディジタル回路3との間に、シフトレジスタ

## 特開昭62-94023(3)

タを構成可能なラッチ回路5a, 5b, 5c... 5x, 5y, 5zが設けられている。通常、アナログ回路2a, 2bおよびデジタル回路3間の信号の伝達は、これらのラッチ回路5a, 5b, 5c... 5x, 5y, 5zを介してこれを素通りするような形で行われるようになっている。

しかるに、上記ラッチ回路5a, 5b, 5c... 5x, 5y, 5zは、互いに縦続接続されており、例えば外部から供給されるコントロール信号等によって、アナログ回路2aやデジタル回路3からの信号をラッチしたり、シフトレジスタとして動作できるようにされている。最初のラッチ回路5aには外部端子4dが接続されており、上記ラッチ回路列5a~5zをシフトレジスタとして動作させることにより外部端子4dに供給されたシリアルデータをシフトさせながら各ラッチ回路5a~5zに取り込むことができる。また、最後のラッチ回路5zには外部端子4eが接続されており、アナログ回路2aおよびデジタル回路3からの信号をラッチしてシフトレジスタ端子4

eから外部へ順次出力できるようにされている。

第2図には、上記ラッチ回路5a~5zの一例が示されている。

この実施例のラッチ回路は、4個のトランスミッションゲートTG<sub>1</sub>, TG<sub>2</sub>, TG<sub>3</sub>, TG<sub>4</sub>と、4個のCMOSインバータINV<sub>1</sub>, INV<sub>2</sub>, INV<sub>3</sub>, INV<sub>4</sub>および上記トランスミッションゲートTG<sub>1</sub>~TG<sub>4</sub>に対する相補的なゲート制御信号を形成するためのインバータV<sub>1</sub>, V<sub>2</sub>, V<sub>3</sub>, V<sub>4</sub>により構成されている。

デジタル信号入力端子iとデジタル信号出力端子oとの間には、トランスミッションゲートTG<sub>1</sub>, CMOSインバータINV<sub>1</sub>, トランスミッションゲートTG<sub>2</sub>, CMOSインバータINV<sub>2</sub>が接続されており、コントロール信号G<sub>1</sub>, G<sub>2</sub>によってトランスミッションゲートTG<sub>1</sub>とTG<sub>2</sub>が導通されると、デジタル入力端子iに供給された信号と同じ信号がデジタル入力端子oより出力される。CMOSインバータINV<sub>3</sub>の出力端子には、CMOSインバータINV<sub>4</sub>が接続さ

れ、CMOSインバータINV<sub>3</sub>の出力信号がCMOSインバータINV<sub>2</sub>の入力端子にフィードバックされることにより、ラッチ回路が構成され、トランスミッションゲートTG<sub>3</sub>がオフされても前の信号を保持するようになっている。

また、シフトデータ入力端子Siと上記CMOSインバータINV<sub>3</sub>の入力端子(ノードn<sub>1</sub>)間には、クロック信号φ<sub>1</sub>によって制御されるトランスミッションゲートTG<sub>4</sub>が接続されている。

さらに、上記CMOSインバータINV<sub>3</sub>の出力端子(ノードn<sub>2</sub>)とシフトデータ出力端子So間には、クロック信号φ<sub>2</sub>によって制御されるトランスミッションゲートTG<sub>3</sub>とCMOSインバータINV<sub>4</sub>が接続されている。

従って、上記回路は、コントロール信号G<sub>1</sub>, G<sub>2</sub>を“0”にしてトランスミッションゲートTG<sub>1</sub>をオフさせた状態で、互いに位相が180°ずれているような同周期のクロックφ<sub>1</sub>とクロックφ<sub>2</sub>を入れて、TG<sub>2</sub>とTG<sub>4</sub>をオン、オフさせる。これによりシフトデータ入力端子Siに供給

されたデータをクロックφ<sub>1</sub>に同期して次々と取り込んで、クロックφ<sub>2</sub>に同期してそのデータをシフトデータ出力端子Soより出力させることができる。

しかも、上記回路はTG<sub>2</sub>によってシフトデータがCMOSインバータINV<sub>1</sub>に取り込まれた時点で、コントロール信号G<sub>2</sub>を“1”に変化させてトランスミッションゲートTG<sub>1</sub>を開いてやることによって、そのデータをCMOSインバータINV<sub>2</sub>に供給して、デジタル信号出力端子oより出力させることができる。同様にしてトランスミッションゲートTG<sub>3</sub>を介してデジタル信号入力端子iより入力された信号を、クロックφ<sub>1</sub>でトランスミッションゲートTG<sub>4</sub>を開いてやることにより、シフトデータ出力端子Soへ出力させることもできる。

第2図に示されている回路が、第1図におけるラッチ回路5a, 5b, 5c... 5x, 5y, 5zとして使用された場合、各ラッチ回路5a~5zに対して供給されるコントロール信号G<sub>1</sub>, G<sub>2</sub>

## 特開昭62-94023(4)

は、通常動作時にともにハイレベル（“1”）に固定してやる。すると、ラッチ回路5a, 5b, 5cを通してアナログ回路2aから出力された信号はデジタル回路3へ、またデジタル回路3から出力された信号はラッチ回路5xを通してアナログ回路2bへそのまま供給される。

一方、LSIのテスト時にデジタル用テストを用いてデジタル回路3のみを検査したい場合、ラッチ回路5a～5zに供給されるコントロール信号G<sub>1</sub>を“0”にして、クロック信号φ<sub>1</sub>, φ<sub>2</sub>を供給するとともに、外部端子4dにテストデータをクロックφ<sub>1</sub>に同期して入てやる。すると、ラッチ回路列5a～5zはシフトレジスタとして動作され、テストデータが順番に取り込まれる。この状態でデジタル入出力ピン4cから適当なコントロール信号を入れてデジタル回路3を動作させる。また、デジタル回路3からの出力信号が入って来るラッチ回路については、コントロール信号G<sub>1</sub>を“1”にしてデジタル回路3からの出力信号を取り込んだ後、クロックφ<sub>1</sub>, φ<sub>2</sub>を

供給してやる。これにより、ラッチ回路列5a～5zに取り込まれたデータを端子4eから外部へシリアルに出力してやることができる。

以上のようにして、ラッチ回路5a～5zをシフトレジスタとして動作させることにより、デジタル回路3をアナログ回路2a, 2bから切り離して独立に検査することができる。同様にして、アナログ入力端子4aに適当なサイン波等を入れてアナログ回路2aでA/D変換された出力信号をラッチ回路5a～5cでラッチしてから、クロックφ<sub>1</sub>, φ<sub>2</sub>を供給してシフトさせ、端子4eに出力させることができる。また、シフト動作で端子4dから適当なテストデータをラッチ回路5x～5zに送り込んでから、コントロール信号G<sub>1</sub>を“1”にしてアナログ回路2bへテスト用デジタル信号を入れてD/A変換動作させ、その出力を観察する。このようにすることによって、アナログ回路2aと2bを各々単独に検査してその性能の評価を行うこともできる。

この実施例に従うと、テストデータをシリアル

に入出力するための2つの端子4d, 4eとコントロール信号G<sub>1</sub>, G<sub>2</sub>およびクロックφ<sub>1</sub>, φ<sub>2</sub>の供給用端子を4つ設けるだけで、アナログ回路2a, 2bおよびデジタル回路3の独立した検査が可能となる。ただし、ラッチ回路5a～5zに供給されるコントロール信号G<sub>1</sub>, G<sub>2</sub>およびクロックφ<sub>1</sub>, φ<sub>2</sub>は、LSI（半導体チップ）1内にそのような信号の形成回路を設け、内部で発生させるようにすることもできる。そのようにした場合には、テストデータの出力用端子4d, 4eの他に、外部からコントロール信号やクロックの形成回路をテスト時に動作させるようにするためのモード切換え信号を供給するテストモードコントロールピンを一つ設けるだけでよい。

さらに、シフトレジスタを構成するラッチ回路として第2図に示すような回路を使用した場合には、デジタル信号入力端子iに入ってきた信号をCMOSインバータINV<sub>1</sub>にラッチしてからトランスマッションゲートTG<sub>1</sub>を閉じてクロックφ<sub>1</sub>, φ<sub>2</sub>を供給することにより、デジタル信

号出力端子oに本来の信号を出力させた状態でデータをシフトして外部へ取り出すことができる。

そのため、通常動作時のようにアナログ回路2a, 2bとデジタル回路3を同時に動かして総合的な処理を実行させながら、アナログ回路2aからデジタル回路3への信号およびデジタル回路3からアナログ回路2bへの信号をラッチしてシフトさせ、外部へ取り出すこともできる。これによって、アナログ・デジタル混在のLSIのダイナミックなテストが可能となる。

第3図には、本発明をデジタル信号処理方式のCODECに適用した場合の実施例が示されている。

マイクロコンピュータ等から出力された転送データ（デジタル信号）は、デジタル入出力端子14cよりインタフェース回路としてのデジタルI/O11に入力される。デジタルI/O11に入力されたデジタル信号は、シフトレジスタを構成可能なラッチ回路列15aを介してデジタル信号処理部13に供給される。デジタル

## 特開昭62-94023(5)

信号処理部13は、転送すべきデジタル信号を、電話回線に適した音声帯域のアナログ信号に変換するための演算処理(変調)を行う。デジタル信号処理部13における演算によって得られたデータは、シフトレジスタを構成可能なラッチ回路列15dを介してD/A変換回路12bへ供給され、D/A変換される。D/A変換回路12bから出力されたアナログ信号は、アナログフィルタ16bを通して波形整形されてからアナログ出力端子14bへ出力される。

一方、電話回線等よりアナログ入力端子14aに入力されたアナログ信号は、アナログフィルタ16aを通してA/D変換回路12aに供給され、デジタル信号に変換される。このデジタル信号はラッチ回路列15dを介してデジタル信号処理部13に供給され、ここで元のデジタル信号に復調する演算処理が行われてからデジタルI/O11を経てデジタル入出力端子14cへ出力される。

上記変復調のための処理を行うデジタル信号

処理部13は、例えばマイクロプログラムが格納されたマイクロROM(リード・オンリ・メモリ)、変復調のための演算を行うALU(演算論理ユニット)や乗算器、演算に必要なパラメータ等のデータを格納するデータROM、演算されるデータや演算結果を記憶する各種レジスタおよびRAM(ランダム・アクセス・メモリ)等によって、一般的なマイクロプロセッサと同じような形態に構成されている。

マイクロコンピュータ等の外部装置から供給される制御信号に基づいて、デジタル信号処理部13内のマイクロROMからマイクロ命令を順番に読み出して、シーケンシャルな制御を実行すべくシーケンサ17が設けられている。また、外部から供給される基準クロックφ<sub>0</sub>に基づいて、デジタル信号処理部13内部の各種タイミング信号を形成するタイマ18が設けられている。

そして、この実施例では、一種のデジタル回路たる上記シーケンサ17およびタイマ18と、デジタル信号処理部13との間にも、シフトレ

ジスタを構成可能なラッチ回路列15b、15cが設けられ、シーケンサ17やタイマ18の出力信号を直接外部へ取り出すことができるようにされている。

特に制限されないが、この実施例では、ピン数を少なくするため、上記ラッチ回路列15a、15b、15c、15dはシフトデータ入出力端子14d、14e(Si、So)間にひとつのシフトレジスタとして構成されるように、互いに縦続接続されている。ラッチ回路列15a~15dを通常のゲートまたはシフトレジスタとして動作させるように制御するコントロール信号G<sub>1</sub>、G<sub>2</sub>やクロックφ<sub>1</sub>、φ<sub>2</sub>を外部から供給できるようにするための端子21~24が設けられている。これによって、ラッチ回路列15a~15dを通過する内部のデジタル信号はすべて端子Soから外部へ取り出せるとともに、外部からLSI内部に直接テストデータを入れてテストングを行えるようになる。

上記実施例では、アナログ回路部(12a、1

2b)とデジタル回路部(13)との間はもちろんデジタル回路としてのデジタルI/O11やシーケンサ17、タイマ18と、デジタル信号処理部13の間にもシフトレジスタを構成可能なラッチ回路列15a~15cが設けられている。そのため、デジタル回路部とアナログ回路部とを切り離した単独評価の他に、デジタル回路部間の信号を取り出したり、適当なテスト信号を直接入れることにより、デジタル回路部内の欠陥の検出率を更に高くすることができる。

なお、上記実施例では、4つのラッチ回路15a~15dを接続して一つのシフトレジスタとして動作できるように構成しているが、ピン数に余裕があれば、それらのラッチ回路15a~15dを各々別個のシフトレジスタとして動作させたり、4つのラッチ回路15a~15dのうち任意の2つまたは3つを接続して2以上のシフトレジスタを構成するようにしてもよい。

【効果】

(1) アナログ回路部とデジタル回路部との間

## 特開昭62-94023(6)

に、シフトレジスタを構成可能なラッチ回路を介在させ、通常はこのラッチ回路を通してアナログ回路部とデジタル回路部との間の信号の伝達を行い、テスト時には上記ラッチ回路を縦横接続させてシフトレジスタとして動作させるようにしたので、外部から直接デジタル回路部へテストパターンを入力したり、デジタル回路部からアナログ回路部への供給される信号を直接外部へ取り出せるという作用により、わずかなテスト専用ピンのみでアナログ回路部とデジタル回路部とを別々に試験して、デジタル回路部の欠陥の検出率を向上させるとともに、アナログ回路部の独立した評価も行えるという効果がある。

(2) アナログ・デジタル混在のLSI内部の複数のデジタル回路間にシフトレジスタを構成可能なラッチ回路を介在させてなるので、デジタル回路部へ直接テスト信号を入れることができるという作用により、デジタル回路部の欠陥の検出率が向上されるという効果がある。

(3) アナログ回路とデジタル回路との間にシ

フトレジスタを構成可能なラッチ回路を介在させるとともに、上記ラッチ回路はシフトレジスタとして動作されるとき、シフトされる元のデータをラッチしていることができるように構成してなるので、アナログ回路とデジタル回路を同時に動かして相互間で伝達される信号を外部へ取り出せるという作用により、ダイナミックなテストングが可能になるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば上記実施例では、アナログ・デジタル混在のLSIにおいてデジタル回路とアナログ回路間およびデジタル回路相互間に、シフトレジスタを構成可能なラッチ回路列を介在させているが、アナログ回路を内蔵しないデジタル回路のみのLSIに適用することも可能である。

## 【利用分野】

以上の説明では主として本発明者によってな

れた発明をその背景となった利用分野であるCODECに適用したものについて説明したが、この発明はそれに限定されず、MODEMその他の通信用LSIはもちろんアナログ回路とデジタル回路が混在したLSI一般に利用することができる。

## 図面の簡単な説明

第1図は、本発明に係るアナログ・デジタル混在のLSIの一実施例を示すブロック図、

第2図は、シフトレジスタを構成可能なゲート手段としてのラッチ回路の一例を示す回路図、

第3図は、本発明をデジタル信号処理方式のCODECに適用した場合の実施例を示すブロック図である。

1……半導体チップ(LSI)、2a、12a……アナログ回路(A/D変換器)、2b、12b……アナログ回路(D/A変換器)、3、13……デジタル回路、4a、14a……アナログ入力端子、4b、14b……アナログ出力端子、4c、14c……デジタル入出力端

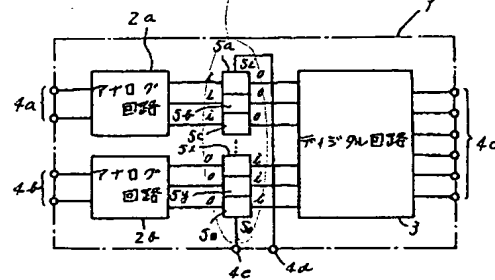
子、5a～5z……ゲート手段(ラッチ回路)、4e、14e、14d……シフトデータ(テストデータ)入出力端子、15a～15d……ラッチ回路列、TG<sub>1</sub>～TG<sub>n</sub>……トランスマッションゲート、INV<sub>1</sub>～INV<sub>n</sub>……CMOSインバータ。

代理人 弁理士 小川勝男

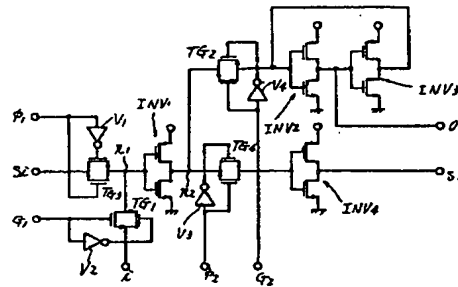


特開昭62-94023(7)

第 1 図



第 2 図



第 3 図

